

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-132672

(P2003-132672A)

(43)公開日 平成15年5月9日(2003.5.9)

(51)Int.Cl.⁷

G11C 11/22

識別記号

501

F I

G11C 11/22

テマコード* (参考)

501 L

501 F

501 H

501 J

審査請求 有 請求項の数 7 O L (全 14 頁)

(21)出願番号 特願2001-322129(P2001-322129)

(22)出願日 平成13年10月19日(2001.10.19)

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 足利 欣哉

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(74)代理人 100085419

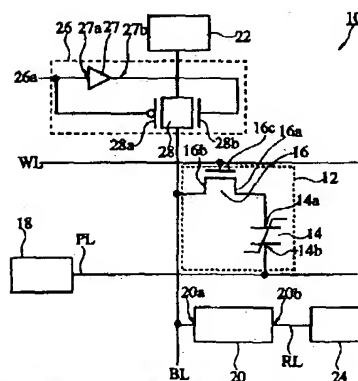
弁理士 大垣 孝

(54)【発明の名称】 強誘電体メモリ装置およびその動作方法

(57)【要約】

【課題】 参照セルを用いない1T1Cタイプの強誘電体メモリ装置。

【解決手段】 強誘電体キャパシタ14および選択トランジスタ16を有する少なくとも1つのメモリセル12と、それぞれのメモリセルに接続されたワード線WL、ビット線BLおよびプレート線PLと、0電圧、参照電位を発生させるための第1電圧、およびこの第1電圧より高い第2電圧のうちの各電圧をプレート線に選択的に印加するためのプレート線ドライバ18と、センスアンプ20と、0電圧および第1電圧のうちのいずれかの電圧を選択的にビット線に印加するための第1プリチャージ回路22と、センスアンプに参照電位を発生させるために第1電圧を発生する第2プリチャージ回路24とを具備しており、メモリセルのデータを読み出すときに、プレート線に第1電圧、第2電圧、基準電圧および第1電圧がこの順に印加される。



- 10: 強誘電体メモリ装置 (装置)
- 12: メモリセル
- 14: 強誘電体キャパシタ
- 14a: 一方の電極
- 14b: 他方の電極
- 16: 選択トランジスタ
- 16a: 主電流路の一端 (第1主電極、ドレイン電極)
- 16b: 主電流路の他端 (第2主電極、ソース電極)
- 16c: 制御電極 (ゲート)
- 18: プレート線ドライバ
- 20: センスアンプ
- 20a: 一方の端子
- 20b: 他方の端子
- 22: 第1プリチャージ回路
- 24: 第2プリチャージ回路
- 26: スイッチ
- 26a: 入力端
- 27: インバータ
- 27a: 入力
- 27b: 出力
- 28: CMOSトランスファゲート
- 28a: PMOSトランジスタのゲート電極
- 28b: NMOSトランジスタのゲート電極

第1の実施の形態の強誘電体メモリ装置の回路図

【特許請求の範囲】

【請求項1】 強誘電体キャパシタおよび選択トランジスタを有する少なくとも1つのメモリセルと、ワード線と、ビット線と、プレート線と、プレート線ドライバと、センスアンプと、第1プリチャージ回路と、第2プリチャージ回路とを具え、

前記選択トランジスタの制御電極は、前記ワード線に接続され、

前記選択トランジスタの主電流路の一端は、前記強誘電体キャパシタの一方の電極に接続され、

前記選択トランジスタの主電流路の他端は、前記ビット線に接続され、

前記強誘電体キャパシタの他方の電極は、前記プレート線に接続され、

前記プレート線は、前記プレート線ドライバに接続され、

前記第1プリチャージ回路は、前記ビット線に、スイッチを介して接続され、

前記ビット線は、前記センスアンプの一方の端子に接続され、

前記第2プリチャージ回路の出力端子は、前記センスアンプの他方の端子に接続されていて、

前記プレート線ドライバは、前記プレート線を、接地電位にする基準電圧、参照電位にする第1電圧、および該第1電圧よりも高い第2電圧を、選択的に発生させる電圧発生回路として構成してあり、

前記第1プリチャージ回路は、前記基準電圧および前記第1電圧を選択的に発生させる電圧発生回路として構成してあり、

前記第2プリチャージ回路は、前記第1電圧を発生させる電圧発生回路として構成してあり、

前記メモリセルに書き込まれたデータを読み出す際に、前記プレート線ドライバは、前記プレート線に、前記第1電圧、第2電圧、基準電圧および第1電圧をこの順に印加することを特徴とする強誘電体メモリ装置。

【請求項2】 請求項1に記載の強誘電体メモリ装置において、

前記第1電圧は、基準電圧よりも高く、かつ電源電圧よりも低い電圧であることを特徴とする強誘電体メモリ装置。

【請求項3】 請求項1に記載の強誘電体メモリ装置において、

前記第1電圧を、電源電圧の半分の電圧とし、

前記第2電圧を、電源電圧とすることを特徴とする強誘電体メモリ装置。

【請求項4】 複数の強誘電体メモリセルの配列とアクセス回路とを含む強誘電体メモリ装置であって、前記複数の強誘電体メモリセルの各々が、強誘電体キャパシタと、それぞれのワード線に接続された制御電極と、前記強誘電体キャパシタと直列に、かつそれぞれの

プレート線接続とビット線接続の間に接続された電流搬送端子をもった選択トランジスタと、を含み、前記アクセス回路が、選択されたセルの前記選択トランジスタを導通させ、かつ自動的に前記選択されたセルの前記プレート線接続に、異なる電圧を印加するように接続されている強誘電体メモリ装置において、前記ビット線に一方の端子が接続されたセンスアンプと、

該センスアンプの他方の端子に、参照電位を発生させるプリチャージ回路が接続されていることを特徴とする強誘電体メモリ装置。

【請求項5】 第1強誘電体キャパシタおよび第1選択トランジスタを有する第1メモリセルと、第1ビット線と、第1プレート線と、第1ワード線と、第2強誘電体キャパシタおよび第2選択トランジスタを有する第2メモリセルと、第2ビット線と、第2プレート線と、第2ワード線と、第1相補ビット線と、第2相補ビット線と、第1スイッチと、第2スイッチと、第3スイッチと、第4スイッチと、センスアンプとを具え、

前記第1選択トランジスタの主電流路の一端は、前記第1強誘電体キャパシタの一方の電極に接続され、

前記第1選択トランジスタの主電流路の他端は、前記第1ビット線に接続され、

前記第1選択トランジスタの制御電極は、前記第1ワード線に接続され、

前記第1強誘電体キャパシタの他方の電極は、前記第1プレート線に接続され、

前記第2選択トランジスタの主電流路の一端は、前記第2強誘電体キャパシタの一方の電極に接続され、

前記第2選択トランジスタの主電流路の他端は、前記第2ビット線に接続され、

前記第2選択トランジスタの制御電極は、前記第2ワード線に接続され、

前記第2強誘電体キャパシタの他方の電極は、前記第2プレート線に接続され、

前記第1スイッチは、前記第1ビット線と前記第1相補ビット線の一端との間に設けられ、

前記第2スイッチは、前記第1ビット線と前記第2相補ビット線との間に設けられ、

前記第3スイッチは、前記第2ビット線と前記第2相補ビット線の一端との間に設けられ、

前記第4スイッチは、前記第2ビット線と前記第1相補ビット線との間に設けられ、

前記第1相補ビット線の他端および前記第2相補ビット線の他端は、それぞれ前記センスアンプに接続されていることを特徴とする強誘電体メモリ装置。

【請求項6】 請求項1～3のいずれか一項に記載の強誘電体メモリ装置の前記メモリセルに書き込まれたデータを読み出すにあたり、

前記プレート線および前記ビット線に、それぞれ前記第

1 電圧を印加しておく工程と、
 前記スイッチをオフにして、前記第1プリチャージ回路と前記ビット線とを絶縁させることにより、前記ビット線を電氣的に浮遊させる工程と、
 前記ワード線を能動にして前記選択トランジスタを導通状態にする工程と、
 前記プレート線に、前記第2電圧、基準電圧および第1電圧を、この順に印加する工程と、
 前記センスアンプを活性化し、同時に、前記プレート線ドライバからプレート線に第2電圧を印加する工程と、
 前記プレート線に、基準電圧を印加する工程と、
 前記ワード線を非能動にする工程と、
 前記センスアンプを不活性化し、同時に、前記スイッチをオンにする工程とを含むことを特徴とする強誘電体メモリ装置の動作方法。

【請求項7】 請求項5に記載の強誘電体メモリ装置の第1メモリセルに書き込まれたデータを読み出すにあたり、
 予め、前記第1～第4スイッチを全てオンにしておくことにより、第1ビット線、第2ビット線、第1相補ビット線および第2相補ビット線を電氣的に接続させておき、該第1ビット線、第2ビット線、第1相補ビット線および第2相補ビット線を接地電位にした後、これらの線を電氣的に浮遊にさせる工程と、
 前記第1ワード線を能動にして、前記第1選択トランジスタを導通状態にした後、前記第1プレート線を能動にして、前記第1および第2ビット線ならびに第1および第2相補ビット線に、前記第1メモリセルに書き込まれたデータに起因する第1電位を発生させる工程と、
 前記第1スイッチをオフにして、前記第1ビット線および前記第1相補ビット線を絶縁状態にし、かつ前記第1相補ビット線を、前記第1電位の電位で保持して電氣的に浮遊させる工程と、
 前記第2スイッチをオフにして、前記第1ビット線および前記第2相補ビット線を絶縁状態にした後、前記第1ビット線と、前記第2ビット線および第2相補ビット線とを、それぞれ接地電位にする工程と、
 前記第1プレート線を非能動にした後、前記第2スイッチをオンにし、前記第3スイッチをオフにすることにより、第1ビット線および第2相補ビット線を電氣的に接続して、第2ビット線および第2相補ビット線を絶縁状態にし、さらに当該第1ビット線および第2相補ビット線を接地電位で電氣的に浮遊させる工程と、
 前記第1プレート線を再び能動にして、第1ビット線および第2相補ビット線に前記第1強誘電体キャパシタの非反転分極に起因する第2電位を発生させる工程と、
 前記第2スイッチをオフにした後、前記センスアンプを活性化することによって、前記第1相補ビット線の第1電位と前記第2相補ビット線の第2電位とを比較する工程と、

前記第1スイッチをオンにして、前記第1ビット線および第1相補ビット線を電氣的に接続する工程と、
 前記第1プレート線を非能動にする工程と、
 前記センスアンプを不活性化する工程とを含んでいることを特徴とする強誘電体メモリの動作方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、強誘電体メモリ装置、特に強誘電体薄膜を用いた不揮発性メモリの回路構成に関する。また、強誘電体メモリ装置の動作方法、特に強誘電体メモリ装置からのデータ読み出し方法に関する。

【0002】

【従来の技術】従来、強誘電体メモリ装置は、2つのトランジスタと2つのキャパシタとを具えて1つのビットを構成する2T2Cタイプと、1つのトランジスタと1つのキャパシタとを具えて1つのビットを構成する1T1Cタイプが知られている。

【0003】一方、1T1Cタイプの強誘電体メモリ装置の構造は、1つのビットを構成するメモリセルは1つで済むためにメモリの高密度化を図るには適した構造である。

【0004】この1T1Cタイプの装置は、通常、ビット線電位と比較するための参照電位を発生させる参照電位発生用セル（参照セルと称する。）を用いて読み出し動作を行う構成となっている。この参照セルを、強誘電体キャパシタを用いて形成すると、読み出し回数の多さに起因して、参照セル中の強誘電体キャパシタの劣化が他のメモリセル中のキャパシタよりも早く、装置の寿命が、大幅に短くなってしまふ。

【0005】このため、参照セルを使用しないで読み出し動作を行うことができる1T1Cタイプの強誘電体メモリ装置が、例えば文献1（文献1：特開平11-260066号公報）に提案されている。

【0006】

【発明が解決しようとする課題】文献1に開示された強誘電体メモリ装置によれば、参照セルを用いず、書き込みが行われていないビット線を基準に用いて検知（比較）を行うように構成されている。そして、データの読み出し動作は、駆動線に2つの反対極性のパルスを印加する。第1のパルスは、選択されたビット線にデータ依存信号を与える。第2のパルスは、ビット線のレベルを、選択されないビット線のDCバイアス電圧が最適の基準を与えるようなレベルに復帰させる。

【0007】この発明の目的は、参照セルを用いない1T1Cタイプの強誘電体メモリ装置であるが、文献1の強誘電体メモリ装置よりも、低消費電力化を図る強誘電体メモリ装置およびその動作方法を提供することにある。

【0008】

【課題を解決するための手段】このため、この発明の強誘電体メモリ装置は、強誘電体キャパシタおよび選択トランジスタを有する少なくとも1つのメモリセルと、それぞれのメモリセルに接続されたワード線、ビット線およびプレート線と、プレート線ドライバと、センスアンプと、第1プリチャージ回路と、第2プリチャージ回路とを具えている。

【0009】選択トランジスタの制御電極は、ワード線に接続されていて、選択トランジスタの主電流路の一端は強誘電体キャパシタの一方の電極に接続され、主電流路の他端はビット線に接続されている。また、強誘電体キャパシタの他方の電極は、プレート線に接続されている。プレート線は、プレート線ドライバに接続されている。また、第1プリチャージ回路は、ビット線にスイッチを介して接続されており、このビット線はセンスアンプの一方の端子に接続されている。そして、センスアンプの他方の端子に第2プリチャージ回路の出力端子が接続されている。

【0010】上述のプレート線ドライバはプレート線に電位を発生させるための電圧発生回路であり、接地電位を発生させるための基準電圧、参照電位を発生させるための第1電圧、およびこの第1電圧より高い第2電圧のうちの各電圧を選択的にプレート線に印加することができる。

【0011】また、第1プリチャージ回路は、ビット線に電位を発生させるための電圧発生回路であり、基準電圧および上述の第1電圧のうちのいずれかの電圧を選択的にビット線に印加することができる。

【0012】また、第2プリチャージ回路は、センスアンプに参照電位を発生させるための第1電圧を発生させる電圧発生回路である。このセンスアンプは、ビット線にも接続している。よって、このセンスアンプでは、メモリセルに書き込まれたデータを反映する、ビット線に発生させた電位と、第2プリチャージ回路から発生した参照電位とが比較される。

【0013】このような強誘電体メモリ装置は、1T1Cタイプであるため、メモリの高密度化が図れる。また、ビット線電位と比較するための参照電位を発生させるのに、キャパシタを具えた参照セルは使用しない。そのかわりに、センスアンプに、参照電位を発生させるプリチャージ回路が直接接続されている。したがって、このプリチャージ回路はビット線とは独立させて設計することができるので、参照電位はビット線の容量に依存しない。したがって、従来よりも参照電位の発生に寄与する容量を小さくすることができるので、この装置の動作の低消費電力化が図れる。

【0014】また、上述したような強誘電体メモリ装置からメモリセルに書き込まれたデータを読み出す動作は、以下の①～⑧の工程を含んで行われる。

【0015】①プレート線およびビット線に、それぞれ

第1電圧を印加しておく。

【0016】②スイッチをオフにして、第1プリチャージ回路とビット線とを絶縁させることによりビット線を電氣的に浮遊させる。

【0017】③ワード線を能動にして選択トランジスタを導通状態にする。

【0018】④プレート線に、第2電圧、基準電圧および第1電圧を、この順に印加する。

【0019】⑤センスアンプを活性化し、同時に、プレート線ドライバからプレート線に第2電圧を印加する

⑥プレート線に、基準電圧を印加する。

【0020】⑦ワード線を非能動にする。

【0021】⑧センスアンプを不活性化し、同時にスイッチをオンにする。

【0022】まず、上記②工程を経ることによって、ビット線は第1電圧を印加したときの電位（第1の電位と称する。）で浮遊する。また、同じ時点でプレート線も第1の電位となっている。次に、③工程で、ワード線を能動にすることによって、選択トランジスタが導通状態となる。その後、④工程において、プレート線に第1電圧よりも高い第2電圧を印加した後、基準電圧を印加する。その後、再び第1電圧を印加する。この動作により、強誘電体キャパシタは部分分極する。強誘電体キャパシタに書き込まれたデータ、すなわち強誘電体の読み出し動作前の分極方向に応じて、第2電圧を印加したときおよび基準電圧を印加したときの分極量が異なる。したがって、基準電圧を印加した後に第1電圧を印加すると、ビット線に誘起される電位は、第1の電位よりも高い電位あるいは低い電位のいずれかの電位となる。その後、センスアンプを活性化して、ビット線の電位と、第2プリチャージ回路から第1電圧が印加されて得られる第1の電位とが比較される。センスアンプの活性化と同時にプレート線に第2電圧を印加することによって、ビット線の電位が第1の電位よりも高い電位である場合は、ビット線の電位は高電位にラッチされる。一方、ビット線の電位が第1の電位よりも低い電位である場合には、ビット線の電位は低電位（0V）にラッチされる。その後、⑥工程でプレート線に基準電圧を印加することによって、強誘電体キャパシタには、読み出し動作によって破壊されたデータが再書き込みされる。そして、⑦工程でワード線を非能動にし、⑧工程でセンスアンプを不活性にし、さらにスイッチをオンにすることによって、一連の読み出し動作が終了する。

【0023】したがって、この発明の強誘電体メモリ装置の動作方法によれば、データが書き込まれたメモリセルからそのデータを読み出すときに、プレート線の電位を予め参照電位にしておいた後、このプレート線の電位を参照電位より高い電位にし、次に接地電位にして、最後に再び参照電位に戻すことによって、強誘電体キャパシタを部分分極させる。この部分分極によって、ビット

線には、書き込まれたデータに応じて、参照電位よりも高い電位があるいは低い電位が現れる。よって、センスアンプでは、キャパシタを使わない参照電位発生回路（第2プリチャージ回路）から発生させた参照電位と、ビット線に現れた電位とを比較することによって読み出し動作を行うことができる。

【0024】

【発明の実施の形態】以下、図を参照してこの発明の実施の形態につき説明する。なお、各図は発明を理解できる程度に各構成成分の形状、大きさおよび配置関係を概略的に示してあるに過ぎず、したがってこの発明を図示例に限定するものではない。

【0025】＜第1の実施の形態＞図1～図4を参照して、第1の実施の形態の強誘電体メモリ装置の構造およびデータ読み出し方法について説明する。図1は、この実施の形態の強誘電体メモリ装置の構成を示す概略的な回路図である。また、図2は、図1のプレート線ドライバ、第1プリチャージ回路および第2プリチャージ回路の一構成例を示す回路図である。

【0026】図1に示す構成例によれば、1つのメモリセル12は、1つの強誘電体キャパシタ14と、この強誘電体キャパシタ14の一方の電極14aに主電流路の一端16aが接続された選択トランジスタ16とを具えている。この選択トランジスタ16を電界効果トランジスタ（FET）とすると、その主電流路の一端16aは、第1主電極、例えばドレイン電極である。

【0027】そして、この強誘電体メモリ装置（装置）10は、少なくとも1つのメモリセル12と、ワード線WLと、ビット線BLと、プレート線PLと、プレート線ドライバ18と、センスアンプ20と、第1プリチャージ回路22と、第2プリチャージ回路24とを具えている。

【0028】また、これらの接続関係については、以下の通りである。

【0029】メモリセル12中の選択トランジスタ16の制御電極（ゲート）16cは、ワード線WLに接続されていて、主電流路の他端16bはビット線BLに接続されている。この主電流路の他端16bは、第2主電極、例えばソース電極である。また、強誘電体キャパシタ14の他方の電極14bは、プレート線PLに接続されている。このプレート線PLの一端は、プレート線ドライバ18の出力端子に接続されている。また、第1プリチャージ回路22の出力端子は、ビット線BLに接続されている。さらに詳細には、この出力端子はトランジスタ16の第2主電極16bにスイッチ26を介して接続されている。

【0030】スイッチ26は、インバータ27とCMOSTランスファゲート28とで構成されている。このスイッチ26の入力端26aが、トランスファゲート28のPMOSTランジスタのゲート電極28aと、インバ

ータ27の入力27aとに接続されている。また、インバータ27の出力27bが、トランスファゲート28のNMOSTランジスタのゲート電極28bに接続されている。スイッチ26の入力端26aは、この入力端26aに入力するハイレベルまたはローレベルの信号のタイミングを制御する図示しない制御回路に接続されている。

【0031】また、ビット線BLは、センスアンプ20の一方の端子20aに接続され、センスアンプ20の他方の端子20bには、参照電位線RLで第2プリチャージ回路24の出力端子が接続されている。

【0032】ここで、プレート線ドライバ18は、プレート線PLに所望の電位を発生すなわち確立させる電圧発生回路である。この装置では、このドライバ18を、プレート線PLを接地電位にする基準電圧、参照電位にする第1電圧、およびこの第1電圧よりも高い第2電圧を選択的に発生させる回路とする。

【0033】また、第1プリチャージ回路22は、ビット線BLに電位を発生すなわち確立させる電圧発生回路である。この装置では、この第1プリチャージ回路22を、これら基準電圧および第1電圧を選択的に発生させる回路とする。

【0034】また、第2プリチャージ回路24は、読み出し動作時にセンスアンプ20につながる参照電位線RLを参照電位にするための電圧発生回路である。この装置では、この第2プリチャージ回路24を、第1電圧を発生させる回路とする。

【0035】なお、これらプレート線ドライバ18、第1プリチャージ回路22および第2プリチャージ回路24は、例えば、図2に示すような、同じ構成の回路としてもよい。

【0036】センスアンプ20を活性化させると、このセンスアンプ20の一方の端子20aにメモリセル12に書き込まれたデータ、すなわち、強誘電体キャパシタ14の分極状態に応じてビット線BLに確立された電位が与えられる。また、他方の端子20bには、第2プリチャージ回路24から参照電位線RLに確立させた参照電位が与えられる。よって、このセンスアンプ20では、一方の端子20aの電位および他方の端子20bの参照電位のいずれの電位が高いか、もしくは低いかを検出する動作が行われる。

【0037】参照電位を確立させるための第1電圧は、基準電圧よりも高く電源電圧よりも低い電圧とする。プレート線PLに印加する電圧は、基準電圧、第1電圧および第2電圧である。第2電圧は第1電圧よりも高い電圧である。よって、プレート線ドライバ18の回路構成を簡単にするために、第2電圧は、少なくとも電源電圧以下の電圧とした方がよい。さらに、第2電圧を電源電圧とすれば、プレート線ドライバ18の回路構成はさらに簡単になる。

【0038】よって、この実施の形態では、第2電圧を電源電圧(V_{cc})とし、第1電圧を電源電圧の半分の電圧($1/2V_{cc}$)とし、基準電圧を0Vとする。

【0039】これにより、図2(A)に示す構成例において、プレート線ドライバ18、第1プリチャージ回路22および第2プリチャージ回路24は、0V、 $1/2V_{cc}$ および V_{cc} のうちのいずれかの電圧を選択的に発生させることができる。

【0040】図2(A)の回路は、電源 V_{cc} から接地電位点まで接続されている配線29と、この配線29に直列に接続された第1スイッチ(RSW1)および第2スイッチ(RSW2)と、この配線29の第1スイッチ(RSW1)と第2スイッチ(RSW2)との間に設けられた出力とで構成されている。第1スイッチ(RSW1)および第2スイッチ(RSW2)は、いずれも同様の構成のスイッチ回路である。このスイッチ回路は、インバータ(IV1、IV2)とCMOSトランスファゲート(TG1、TG2)とで構成されている。そして、スイッチ(RSW1、RSW2)の入力端In1およびIn2側は、それぞれトランスファゲート(TG1、TG2)のNMOSTランジスタのゲート電極(31a、33a)と、インバータ(IV1、IV2)の入力側(35a、37a)とに接続されている。また、インバータ(IV1、IV2)の出力側(35b、37b)は、トランスファゲート(TG1、TG2)のPMOSTランジスタのゲート電極(31b、33b)に接続されている。

【0041】このような回路において、第1スイッチ(RSW1)の入力端In1にハイレベルの信号を入力し、かつ第2スイッチ(RSW2)の入力端In2にローレベルの信号を入力すると、第1スイッチ(RSW1)はオンとなり、第2スイッチ(RSW2)はオフとなるので、この回路からの出力電圧 V_{out} は0Vとなる。また、第1スイッチ(RSW1)の入力端In1にローレベルの信号を入力し、かつ第2スイッチ(RSW2)の入力端In2にハイレベルの信号を入力すると、第1スイッチ(RSW1)がオフとなり第2スイッチ(RSW2)がオンとなるので、回路からの出力電圧 V_{out} は V_{cc} となる。また、第1スイッチ(RSW1)および第2スイッチ(RSW2)のいずれの入力端にもハイレベルの信号を入力することによって、第1スイッチ(RSW1)および第2スイッチ(RSW2)はいずれもオンとなる。よって、回路からの出力電圧 V_{out} を $1/2V_{cc}$ にすることができる。これにより、第1スイッチ(RSW1)および第2スイッチ(RSW2)を制御することによって、プレート線ドライバ18から0V、 $1/2V_{cc}$ および V_{cc} のうちのいずれかの電圧を選択的に発生させることができる。この回路は、第1プリチャージ回路22および第2プリチャージ回路24としても用いることができる。

【0042】また、図2(A)の回路を、第2プリチャージ回路24として使用する場合には、図2(B)に示すように、第1スイッチ(RSW1)および第2スイッチ(RSW2)の入力端In1およびIn2同士を短絡した回路を用いることもできる。この短絡部分39にハイレベルの信号を入力することによって、 $1/2V_{cc}$ の電圧を出力させることができる。

【0043】次に、この装置10のメモリセル12に書き込まれたデータの読み出し機構について、図3および図4を参照して説明する。図3は、強誘電体キャパシタの分極状態を説明するための特性図であり、横軸に電位(V)をとり縦軸に電荷量をとって示してある。図4は、この実施の形態の強誘電体メモリ装置の読み出し動作の説明に供するタイミングチャートであり、プレート線PL、ワード線WL、ビット線BLおよび参照電位線RLの各々の電位変化を時間軸上に示している。また、スイッチをオンまたはオフにするタイミングおよびセンスアンプを活性または不活性にするタイミングも、上記時間軸に合わせて示してある。

【0044】まず、時刻 $t=0$ ではプレート線PL、ビット線BLおよびワード線WLの電位を同一電位にしておく。同一電位として、ここでは接地電位(0V)とする。このとき、強誘電体キャパシタの分極状態は、書き込まれたデータに応じて、図3の点A1または点B1の電荷量の状態となっている。

【0045】次に、時刻 $t=1$ では、プレート線PLおよびビット線BLに第1電圧($1/2V_{cc}$)を印加して、これらの線PLおよびBLの電位を第1電位($1/2V_{cc}$)にする。この実施の形態では、プレート線ドライバ18からプレート線PLに第1電圧を印加し、第1プリチャージ回路22からビット線BLに第1電圧を印加する。

【0046】続いて、時刻 $t=2$ で、ビット線BLを電氣的に浮遊(フローティング)にさせる。ここでは、スイッチ26をオフにすることによって、ビット線BLと第1プリチャージ回路22との電氣的接続を切断する。スイッチ26は、スイッチの入力端にハイレベルの信号を入力することによって、オフとなる。

【0047】次に、時刻 $t=3$ で、ワード線WLを能動にして、選択トランジスタ16をオンすなわち導通状態にする。このとき、選択トランジスタ16のソース16b側に接続されているビット線BLの電位と、選択トランジスタ16のドレイン16a側に強誘電体キャパシタ14を介して接続されているプレート線PLの電位とは、同じ電位($1/2V_{cc}$)であるため、強誘電体キャパシタ14からビット線BLへの電荷の移動はない。

【0048】次に、時刻 $t=4$ で、プレート線PLに第2電圧を印加する。ここでは、プレート線ドライバ18からプレート線PLに第2電圧として電源電圧(V_{cc})を印加する。これにより、強誘電体キャパシタ14

の電荷量の状態は図3に示すように変化する。

【0049】すなわち、強誘電体キャパシタが点A1の状態にあった場合に、プレート線PLが電源電位(V_{cc})となると、強誘電体キャパシタ14の電荷量の状態は点A2に変化する。また、強誘電体キャパシタ14が点B1の状態にあった場合には、点B1から点B2に変化する。よって、強誘電体キャパシタ14の分極方向によって電荷の変化量は異なっている。なお、図3において、プレート線電位を示す縦線と、点A1および点B1での電荷量を示す横線との交点から各点に向かう一点鎖線は、ビット線容量を表している。

【0050】時刻 $t=4$ において、強誘電体キャパシタ14の電荷量は、点A1から点A2に、または点B1から点B2に、変化している。点A1から点A2への電荷量の変化は、点B1から点B2への電荷量の変化よりも小さい。したがって、ビット線に移動する電荷の量も点B1から点B2への変化の場合の方が大きい。よって、ビット線電位は、点B1から点B2へ変化したときの方が高くなる。図4において、時刻 $t=4$ では、図3の点A1から点A2への変化に伴うビット線電位の変化を実線で示し、点B1から点B2への変化に伴うビット線電位の変化を点線で示している。

【0051】次に、時刻 $t=5$ で、プレート線PLを接地電位(0V)にする。このため、プレート線ドライバ18から0Vをプレート線PLに印加する。これにより、強誘電体キャパシタ14は、時刻 $t=4$ で点A2の状態にある場合には、点A2から点A3の状態に変化する。また、強誘電体キャパシタ14が時刻 $t=4$ で、点B2の状態にある場合には、点B2から点B3の状態に変化する(図3)。これに応じて、ビット線電位はいずれの場合も低下する(図4)。

【0052】次に、時刻 $t=6$ で、プレート線PLを再び第1電位($1/2V_{cc}$)にする。このため、プレート線ドライバからプレート線に第1電圧($1/2V_{cc}$)を印加する。これにより、強誘電体キャパシタは、点A3の状態から点A4の状態に変化する。あるいは、点B3の状態から点B4の状態に変化する(図3)。これに応じて、ビット線BLに現れる電位は、もともとの強誘電体キャパシタ14の電荷量によって $1/2V_{cc}$ よりも高くなるか、あるいは $1/2V_{cc}$ よりも低くなるかのいずれかの電位となる。

【0053】この結果、プレート線PLに第1電圧、第2電圧、0電圧および第1電圧を、この順に印加することによって、強誘電体キャパシタ14を部分分極させることができる。

【0054】図3において、読み出し動作前に、強誘電体キャパシタ14の電荷量が点A1の状態である場合は、プレート線PLに電源電圧(V_{cc})、次に0V、次に第1電圧($1/2V_{cc}$)をこの順に印加することによって、強誘電体キャパシタ14の電荷量は、A1→

A2→A3→A4のように変化する。この結果、時間 $t=6$ で、強誘電体キャパシタ14の電荷量は、点A1よりも ΔQ だけ少ない電荷量となる。したがって、時刻 $t=6$ でビット線BLに現れる電位は、 $1/2V_{cc}-\Delta Q/C_b$ (C_b :ビット線容量)となる。よって、この電位は、第1電位($1/2V_{cc}$)よりも低い電位となる(図4)。

【0055】また、読み出し動作前に、強誘電体キャパシタ14の電荷量が点B1の状態である場合は、プレート線PLに $V_{cc} \rightarrow 0V \rightarrow 1/2V_{cc}$ という順に電圧を印加することによって、強誘電体キャパシタ14の電荷量は、点B1→B2→B3→B4のように変化する。この結果、時間 $t=6$ では、強誘電体キャパシタ14の電荷量は、点B1よりも Δq だけ多い電荷量となる。したがって、時刻 $t=6$ でビット線BLに現れる電位は $1/2V_{cc}+\Delta q/C_b$ となる。よって、この電位は、第1電位($1/2V_{cc}$)よりも高い電位となる(図4参照)。

【0056】その後、時刻 $t=7$ で、プレート線PLに第2電圧(V_{cc})を印加する。これと同時に、センスアンプ20を活性化し、さらに第2プリチャージ回路24から参照電位線RLに第1電位($1/2V_{cc}$)を発生させて、センスアンプ20に提供する。これにより、ビット線BLの電位と第2プリチャージ回路24からの第1電位とがセンスアンプ20で比較される。センスアンプ20の活性化は、センスアンプ活性化信号をセンスアンプに供給することによって行われる。この信号の発生のタイミングを制御する制御回路は、図示していないがセンスアンプ20に接続されている。

【0057】ビット線BLの電位は、メモリセル12に書き込まれたデータ(図3では、点A1または点B1)に応じて、上述したように、必ず第1電位よりも $\Delta q/C_b$ だけ高い電位か、あるいは $\Delta Q/C_b$ だけ低い電位となっている。

【0058】したがって、ビット線BLの電位が第1電位よりも高い場合には、このビット線BLの電位が、センスアンプ20により増幅されて電源電位として検出される。また、ビット線BLの電位が第1電位よりも低い場合には、このビット線BLの電位は、接地電位(0V)として検出される。

【0059】次に、時刻 $t=8$ で、プレート線PLに0Vの電圧を印加する。時刻 $t=7$ において、センスアンプ20からの出力をビット線BLに戻し、さらに時刻 $t=8$ で、プレート線PLを0Vにすることによって、強誘電体キャパシタ14の分極方向を読み出し前の方向と同じ方向にリストアすることができる。すなわちデータの再書き込みを行うことができる。

【0060】以上により、この実施の形態の強誘電体メモリ装置10によれば、参照セルを用いることなく1T1Cタイプの装置を構成することができる。そして、こ

の装置では参照電位を、ビット線BLに発生させるのではなく、第2プリチャージ回路24とセンスアンプ20との間の別の線（参照電位線RL）に発生させている。よって、この参照電位はビット線BLの容量に依存することはない。したがって、参照電位に寄与する容量の低減が図れる。そして、この容量の低減は、強誘電体メモリ装置10の動作の低消費電力化につながる。

【0061】また、この装置10は、プレート線PLの電位が0V、0Vよりも高い第1電位、および第1電位よりも高い第2電位のうちのいずれかの電位を発生させるプレート線ドライバ18を具えている。これは、強誘電体メモリ装置10からのデータの読み出し動作時に、プレート線PLの電位を、第1電位→第2電位→0V→第1電位の順に変化させて、強誘電体キャパシタ14を部分分極させるためである。この第1電位および第2電位の設定を、例えば、第2電位を電源電位（Vcc）として、第1電位を $1/2V_{cc}$ とすれば、プレート線ドライバ18の回路構成は非常に単純な構成となる。また、これにより、ビット線BLを第1電位にするための第1プリチャージ回路22の構成も単純な構成でよい。

【0062】また、この装置10において、参照電位は第1電位とすればよいので、第1電位を $1/2V_{cc}$ とすれば、第2プリチャージ回路24の構成も単純な構成でよく、したがって、参照電位をより安定した状態で発生させることができる。

【0063】＜第2の実施の形態＞次に、図5～図7を参照して、第2の実施の形態の強誘電体メモリ装置の構造およびデータ読み出し方法について説明する。図5は、この実施の形態の強誘電体メモリ装置の構成を示す概略的な回路図である。また、図6は、図5に示す装置からのデータ読み出し動作の説明に供するタイミングチャートである。図6には、プレート線、ワード線、第1ビット線、第1相補ビット線、第2ビット線、第2相補ビット線の各々の電位変化を時間軸上に示してある。また、第1～第6スイッチそれぞれのオン・オフのタイミングおよびセンスアンプを活性または不活性にするタイミングも、上記時間軸に合わせて示してある。

【0064】図5に示す構成例によれば、第2の実施の形態の強誘電体メモリ装置（装置）30は、少なくとも第1メモリセル32と第2メモリセル34とを具えている。

【0065】第1メモリセル32は、第1強誘電体キャパシタ36および第1選択トランジスタ38、例えばFETを有している。そして、この第1メモリセル32は、第1ビット線BL1、第1プレート線PL1および第1ワード線WL1に接続されている。

【0066】詳しくは、第1選択トランジスタ38の主電流路の一端38a、すなわち第1主電極、例えばドレイン電極が、第1強誘電体キャパシタ36の一方の電極36aに接続されている。また、第1選択トランジスタ

38の主電流路の他端38b、すなわち第2主電極、例えばソース電極は、第1ビット線BL1に接続されている。また、第1選択トランジスタ38の制御電極（ゲート）38cは第1ワード線WL1に接続され、第1強誘電体キャパシタ36の他方の電極36bは第1プレート線PL1に接続されている。

【0067】また、第2メモリセル34は、第2強誘電体キャパシタ40および第2選択トランジスタ42、例えばFETを有している。そして、この第2メモリセル34には、第2ビット線BL2、第2プレート線PL2および第2ワード線WL2が接続されている。

【0068】第2メモリセル34と各線との接続は、第1メモリセル32の場合と同様である。すなわち、第2選択トランジスタ42の主電流路の一端（第1主電極、ドレイン電極）42aは、第2強誘電体キャパシタ40の一方の電極40aに接続されている。また、第2選択トランジスタ42の主電流路の他端（第2主電極、ソース電極）42bは第2ビット線BL2に接続されている。また、第2選択トランジスタ42の制御電極（ゲート）42cは第2ワード線WL2に接続され、第2強誘電体キャパシタ40の他方の電極40bは、第2プレート線PL2に接続されている。

【0069】また、第1ビット線BL1には、第1スイッチSW1を介して第1相補ビット線/BL1の一端が接続されている。また、第1ビット線BL1は、スイッチSW2を介して第2相補ビット線/BL2とも接続している。また、第2ビット線BL2には、第3スイッチSW3を介して第2相補ビット線/BL2の一端が接続されている。また、第2ビット線BL2は、第4スイッチSW4を介して第1相補ビット線/BL1とも接続している。そして、第1相補ビット線/BL1の他端と第2相補ビット線/BL2の他端との間にセンスアンプ44が接続されている。

【0070】また、この実施の形態の強誘電体メモリ装置30では、第1ビット線BL1の第1スイッチSW1とは反対の側に第5スイッチSW5が設けられている。この第5スイッチSW5をオンにすることにより、第1ビット線BL1に電圧が印加される。そして、第5スイッチSW5をオフにすることにより、第1ビット線BL1をフローティングの状態にすることができる。また、この装置30においては、第2ビット線BL2の第3スイッチSW3とは反対の側に第6スイッチSW6が設けられている。この第6スイッチSW6をオンにすることにより、第2ビット線BL2に電圧が印加される。そして、第6スイッチSW6をオフにすることにより、第2ビット線BL2をフローティングの状態にすることができる。

【0071】第1スイッチSW1は、インバータとCMOSトランスファゲートとで構成されている。第1スイッチSW1の入力端がトランスファゲートのPMOST

ランジスタのゲート電極とインバータの入力とに接続されている。また、インバータの出力はトランスファゲートのNMOSTランジスタのゲート電極に接続している。この第1スイッチSW1と同様の構成のスイッチが第3スイッチSW3、第5スイッチSW5および第6スイッチSW6である。これらのスイッチは、入力端にハイレベルの信号を入力することによって、オフとなり、入力端にローレベルの信号を入力することによってオンとなる。

【0072】また、第2スイッチSW2および第4スイッチSW4も、インバータとCMOSTランスファゲートとで構成されている。そして、入力端がトランスファゲートのNMOSTランジスタのゲート電極およびインバータの入力に接続されている。また、インバータの出力がトランスファゲートのPMOSTランジスタのゲート電極に接続されている。よって、これらのスイッチSW2およびSW4においては、入力端にハイレベルの信号を入力することによってオンとなり、入力端にローレベルの信号を入力することによってオフになる。

【0073】第1～第6スイッチの、各入力端への信号の入力のタイミングは、図示していない外部の制御回路によって制御されている。

【0074】この装置30の第1メモリセル32に書き込まれたデータの読み出し機構について、図6を参照して説明する。

【0075】まず、時刻 $t=0$ で、第1～第6スイッチ(SW1～SW6)はオンにしてある。よって、第1ビット線BL1、第2ビット線BL2、第1相補ビット線/BL1および第2相補ビット線/BL2は全て電氣的に接続されている。また、これらの線には、0Vの電位となるように電圧が印加される。

【0076】次に、時刻 $t=1$ で、第5スイッチSW5および第6スイッチSW6をオフにする。これにより、第1ビット線BL1、第2ビット線BL2、第1相補ビット線/BL1および第2相補ビット線/BL2は、0Vの電位(接地電位)で電氣的に浮遊となる。

【0077】次に、時刻 $t=2$ で、第1ワード線WL1を能動にして、第1選択トランジスタ38を導通状態にする。

【0078】その後、時刻 $t=3$ で、第1プレート線PL1を能動にする。これにより、第1強誘電体キャパシタ36に電圧が印加され、第1ビット線BL1、第2ビット線BL2、第1相補ビット線/BL1および第2相補ビット線/BL2に、第1強誘電体キャパシタ36の分極状態に応じた電位が生じる。この電位を第1電位(V_{1BL})とする。また、第1強誘電体キャパシタの分極状態は、予め第1強誘電体キャパシタに書き込まれたデータに対応している。よって、第1電位(V_{1BL})は2つの高さの電位をとりうる。ここでは、高い第1電位(V_{1BL})を V_{1BLH} とし、及び低い第1電位を V_{1BLL} と

する。図6では、点線で示された電位が V_{1BLH} であり、実線で示された電位が V_{1BLL} である。

【0079】次に、時刻 $t=4$ で、第1スイッチSW1をオフにする。これにより、第1ビット線BL1と第1相補ビット線/BL1とは絶縁される。また、第1相補ビット線/BL1は、第1電位(V_{1BL} : V_{1BLH} あるいは V_{1BLL})を保持した状態で電氣的にフローティングの状態となる。

【0080】次に、時刻 $t=5$ で、第2スイッチSW2をオフにした後、第5および第6スイッチSW5、SW6をオンにする。これにより、第1ビット線BL1と第2相補ビット線/BL2とは絶縁される。また、第1ビット線BL1、第2ビット線BL2および第2相補ビット線/BL2の電位は0Vとなる。

【0081】その後、時刻 $t=6$ で、第1プレート線PL1を非能動にする。

【0082】次に、時刻 $t=7$ で、第2スイッチSW2をオンにして、第3スイッチSW3およびSW5をオフにする。これにより、第2ビット線BL2と第2相補ビット線/BL2とは絶縁し、第1ビット線BL1と第2相補ビット線/BL2とを電氣的に接続する。そして、この第1ビット線BL1と第2相補ビット線/BL2は、0Vの電位で電氣的に浮遊する。

【0083】次に、時刻 $t=8$ で、第1プレート線PL1を再び能動にする。これにより、第1強誘電体キャパシタ38には、時刻 $t=3$ の時点と同じ方向の電圧が印加される。したがって、第1強誘電体キャパシタ38は非反転分極する。そして、これに伴う第2電位(V_{2BL})が、第1ビット線BL1および第2相補ビット線/BL2に発生する。図6では、第2電位(V_{2BL})を実線で示している。

【0084】次に、時刻 $t=9$ で、第2スイッチSW2をオフにすることによって、第1ビット線BL1と第2相補ビット線/BL2とを電氣的に切断する。また、この時刻 $t=9$ で、センスアンプ44を活性化させる。これにより、センスアンプ44に接続されている第1相補ビット線/BL1の電位(V_{1BLH} あるいは V_{1BLL})と第2相補ビット線/BL2の電位(V_{2BL})とが比較される。この時点で、第1相補ビット線/BL1の電位は、第1電位(V_{1BL})がそのまま保持されている状態である。また、第2相補ビット線/BL2は、時刻 $t=8$ で発生した第2電位(V_{2BL})を保持している。したがって、センスアンプ44ではこの第1電位(V_{1BL})と第2電位(V_{2BL})とが比較される。

【0085】この実施の形態では、第1メモリセル32に書き込まれたデータに応じて、第1電位(V_{1BL})は、必ず第2電位(V_{2BL})よりも高い電位(V_{1BLH})か、あるいは低い電位(V_{1BLL})となる。第1相補ビット線の第1電位(V_{1BL})が第2相補ビット線の第2電位(V_{2BL})よりも高い電位(V_{1BLH})のときには、時

時刻 $t=9$ において、この第1電位(V_{1BLH})がセンスアンプ44によって増幅されて、図6に点線で示されているように、電源電位(V_{cc})となって検出される。これに対して、第2電位(V_{2BL})は、時刻 $t=9$ において点線で示されているように、接地電位($0V$)として検出される。また、第1電位(V_{1BL})が第2電位(V_{2BL})よりも低い電位(V_{1BLL})のときには、図6に実線で示しているように、第2電位(V_{2BL})が増幅されて電源電位(V_{cc})となって検出され、第1電位(V_{1BLL})が接地電位($0V$)として検出される。

【0086】次に、時刻 $t=10$ で、第1スイッチSW1をオンにする。これにより、第1ビット線BL1および第1相補ビット線/ $BL1$ は電氣的に接続されるので、第1ビット線BL1の電位は電源電位(V_{cc})あるいは接地電位($0V$)となる。

【0087】次に、時刻 $t=11$ で、第1プレート線PL1を非能動とする。

【0088】その後、時刻 $t=12$ で、センスアンプ44を不活性にする。これにより、第1強誘電体キャパシタ36にはデータの書き込み時と同じ方向の電圧が印加される。これにより、データの読み出しによって分極方向が反転した強誘電体キャパシタ36を書き込み時の分

$$C_{BL} = C_{BL1} + C_{BL2} + C_{/BL1} + C_{/BL2} \approx C_{BL1} + C_{BL2} = 2C_{BL1} \cdots (1)$$

よって、第1電位(V_{1BL})は、次式(2)で表すことができる。

【0093】

$$V_{1BL} = Q / (2C_{BL1} + C_s) \cdots (2)$$

ただし、 Q は、強誘電体キャパシタから第1ビット線および第1相補ビット線に移動した電荷量であり、 C_s は、蓄積容量とする。また、 Q は、第1強誘電体キャパシタ36に書き込まれたデータによって大きい値か、あるいは小さい値となる。

【0094】一方、この第1電位(V_{1BL})と比較される第2電位(V_{2BL})は、時刻 $t=8$ で発生した電位である。このときは、第1ビット線BL1および第2相補ビット線/ $BL2$ のみが電氣的に接続されており、第1ビット線BL1と第1相補ビット線/ $BL1$ とは絶縁状態である。また、第2ビット線BL2と第2相補ビット線/ $BL2$ との間も絶縁状態である。さらに、第2ビット線BL2と第1相補ビット線/ $BL1$ との間も絶縁状態である。よって、このときのビット線容量(C_{BL})は、次式(3)で表される。

$$C_{BL} = C_{BL1} + C_{/BL2} \approx C_{BL1} \cdots (3)$$

したがって、時刻 $t=3$ の時点と比較すると約半分のビット線容量となる。

【0096】よって、第2電位(V_{2BL})は、次式(4)で表すことができる。

$$V_{2BL} = q / (C_{BL1} + C_s) \cdots (4)$$

ただし、 q は、強誘電体キャパシタから第1ビット線および第2ビット線に移動した電荷量である。ここで、時

極状態に戻ることができる。よって、データのリストアを行うことができる。

【0089】つぎに、時刻 $t=13$ で、第5スイッチSW5をオンにし、第3スイッチSW3をオンにする。

【0090】その後、時刻 $t=14$ で、第1ワード線WL1を非能動にして、第1選択トランジスタ38を非導通状態にする。これにより、一連の読み出し動作が終了する。

【0091】この実施の形態では、読み出すべき第1メモリセル32に書き込まれたデータに由来する電位が、時刻 $t=3$ で発生した第1電位(V_{1BL})である。時刻 $t=3$ の時点では、第1ビット線BL1、第2ビット線BL2、第1相補ビット線/ $BL1$ および第2相補ビット線/ $BL2$ が全て電氣的に接続されている。このため、発生する第1電位(V_{1BL})に寄与するビット線容量(C_{BL})は、次式(1)で表される。なお、第1相補ビット線/ $BL1$ の容量は、第1ビット線BL1の容量の1/100程度である。また、同様に第2相補ビット線/ $BL2$ の容量は第2ビット線BL2の容量の1/100である。したがって、これら相補ビット線の容量は無視して考えることができる。

【0092】

時刻 $t=8$ で、第1プレート線PL1を能動にすると、第1強誘電体キャパシタ36は非反転動作となる。これは、時刻 $t=5$ で第1ビット線BL1を接地電位にしたときに、第1強誘電体キャパシタ36は特定の方向に分極されており、時刻 $t=8$ では、これと同じ方向の電圧が第1強誘電体キャパシタ36に印加されることによる。非反転動作となるということは、すなわち移動する電荷量が少ない動作であることを意味する。

【0098】したがって、 V_{2BL} が、 Q の値が小さいときの V_{1BL} と Q の値が大きいときの V_{1BL} との間の電位となるように、ビット線容量(C_{BL})を設定することによって、第1電位(V_{1BL})が、必ず第2電位(V_{2BL})よりも高い電位(V_{1BLH})か、あるいは低い電位(V_{1BLL})となるようにすることができる。

【0099】ここで図7を参照する。

【0100】図7は、この実施の形態の強誘電体メモリ装置30の一構成例の装置における、ビット線容量(C_{BL})に対するビット線電位(V_{1BL} または V_{2BL})の変化特性曲線図である。図7中、実線で示した曲線が第1強誘電体キャパシタが反転動作するときの電位変化特性曲線であり、また、点線で示した曲線が非反転動作するときの電位変化特性曲線である。

【0101】これらの曲線を得るための具体的な測定条件は以下のとおりとする。

【0102】強誘電体キャパシタの強誘電体膜として、例えば、厚さ150nmの $SrBi_2Ta_2O_9$ 膜を用いる。そして、その残留分極値を $7.0 \mu C/cm^2$ とす

る。また、キャパシタ面積を $6.67\mu\text{m}^2$ とし、電源電圧 V_{cc} を 6.0V とする。

【0103】この図7の特性から、次のようなことがわかる。例えば、第1ビット線容量(C_{BL1})および第2ビット線容量(C_{BL2})をそれぞれ、 $1.0 \times 10^{-12}\text{F}$ にする。その場合、時刻 $t=3$ において、第1プレート線 $PL1$ を能動にすると、第1相補ビット線/ $BL1$ の電位(第1電位: V_{1BL})は、第1強誘電体キャパシタ36の移動電荷量が多いとき、すなわち第1強誘電体キャパシタ36が反転動作するときには約 1V となる(図7の実線で示される曲線の上側の黒丸で示されている。)

一方、第1強誘電体キャパシタ36の移動電荷量が少ないとき、すなわち第1強誘電体キャパシタ36が非反転動作をするときには、第1電位(V_{1BL})は、約 0.4V となる(図7の実線で示される曲線の下側の黒丸で示されている。)。また、時刻 $t=8$ において、第1プレート線 $PL1$ を能動にすると、第2相補ビット線/ $BL2$ の電位(第2電位: V_{2BL})は、約 0.7V となる(図7の点線で示される曲線の白丸で示されている。)

【0104】したがって、この装置30の第1メモリセル32に書き込まれたデータを読み出すときに、時刻 $t=9$ で、センスアンプ44を活性化して第1電位(V_{1BL})と第2電位(V_{2BL})とを比較すると、第1電位(V_{1BL})が一方のデータを反映する値として約 1V である場合は、第1電位(V_{1BL})が第2電位(V_{2BL} :約 0.7V)よりも高い電位(V_{1BLH})となる。また、第1電位(V_{1BL})が他方のデータを反映する値として約 0.4V である場合には、第1電位(V_{1BL})は第2電位(V_{2BL} :約 0.7V)よりも低い電位(V_{1BLL})となる。

【0105】この事実により、第2電位(V_{2BL})は、第1電位(V_{1BL})がとり得る2つの電位(V_{1BLH} および V_{1BLL})の間の電位となる。よって、第1電位(V_{1BL})と第2電位(V_{2BL})とを比較することによって、正確な読み出し動作を行うことができる。

【0106】また、この実施の形態では、参照電位を発生させるキャパシタは必要なく、さらに参照電位を発生させる発生回路自体も必要ないので、1T1Cタイプの強誘電体メモリ装置を極めて単純な回路構成で実現することができる。

【0107】

【発明の効果】上述した説明から明らかなように、この発明の強誘電体メモリ装置によれば、参照セルを必要としない1T1Cタイプの装置である。よって、メモリの高密度化が図れる。また、センスアンプに直接接続されたプリチャージ回路で参照電位を発生させる。よって、このプリチャージ回路はビット線と独立させて設計することができるので、参照電位はビット線の容量には依存しない。したがって、従来よりも参照電位の発生に寄与

する容量の低減が図れる。そして、容量の低減は装置の動作の低消費電力化につながる。

【0108】また、この装置からのデータの読み出し動作では、予めビット線およびプレート線を 0V よりも高い第1電位にしておく。そして、後に、プレート線の電位を、第1電位→第1電位よりも高い第2電位→ 0V →第1電位と、この順に変化させる工程がある。これにより、強誘電体キャパシタを部分分極させることができる。この部分分極によって、プレート線の電位が再び第1電位になった時には、最初の第1電位の時に比べて、強誘電体キャパシタの電荷量が変化している。この変化は、書き込まれたデータに対応している。したがって、ビット線に現れる電位も、変化した電荷量に応じて当初の第1電位から変化する。したがって、第1電位を参照電位として別に発生させておけば、この第1電位とビット線に発生した電位とを比較することによって、データを読み出すことができる。

【0109】また、第2電位を電源電位とし、第1電位を電源電位の半分の電位とすれば、これらの電位を発生させる回路の構成を単純にすることができる。よって、参照電位を安定させて発生させることができるので、読み出し動作の安定化も図れる。

【図面の簡単な説明】

【図1】第1の実施の形態の強誘電体メモリ装置の構成を示す概略的な回路図である。

【図2】(A)は、プレート線ドライバ、第1プリチャージ回路および第2プリチャージ回路の構成図であり、(B)は、第2プリチャージ回路の構成例を示す図である。

【図3】強誘電体キャパシタの分極状態の説明図である。

【図4】第1の実施の形態の強誘電体メモリ装置からの読み出し動作の説明に供するタイミングチャートである。

【図5】第2の実施の形態の強誘電体メモリ装置の構成を示す概略的な回路図である。

【図6】第2の実施の形態の強誘電体メモリ装置からの読み出し動作の説明に供するタイミングチャートである。

【図7】第2の実施の形態の1構成例の強誘電体メモリ装置のビット線容量に対するビット線電位の変化特性図である。

【符号の説明】

10, 30: 強誘電体メモリ装置(装置)

12: メモリセル

14: 強誘電体キャパシタ

14a, 36a, 40a: 一方の電極

14b, 36b, 40b: 他方の電極

16: 選択トランジスタ

16a, 38a, 42a: 主電流路の一端(第1主電

極、ドレイン電極)

16b, 38b, 42b: 主電流路の他端 (第2主電極、ソース電極)

16c, 38c, 42c: 制御電極 (ゲート)

18: プレート線ドライバ

20, 44: センスアンプ

20a: 一方の端子

20b: 他方の端子

22: 第1プリチャージ回路

24: 第2プリチャージ回路

26: スイッチ

26a: 入力端

27: インバータ

27a: 入力

27b: 出力

28: CMOSトランスファゲート

28a, 31b, 33b: PMOSトランジスタのゲート電極

28b, 31a, 33a: NMOSトランジスタのゲート電極

29: 配線

32: 第1メモリセル

34: 第2メモリセル

35a, 37a: 入力側

35b, 37b: 出力側

36: 第1強誘電体キャパシタ

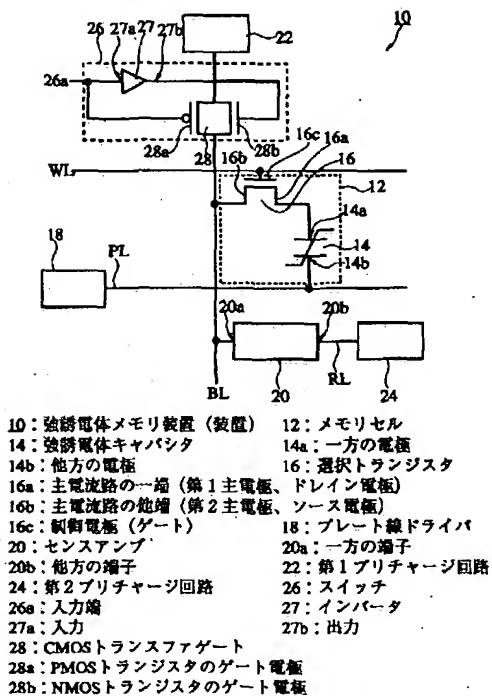
38: 第1選択トランジスタ

39: 短絡部分

40: 第2強誘電体キャパシタ

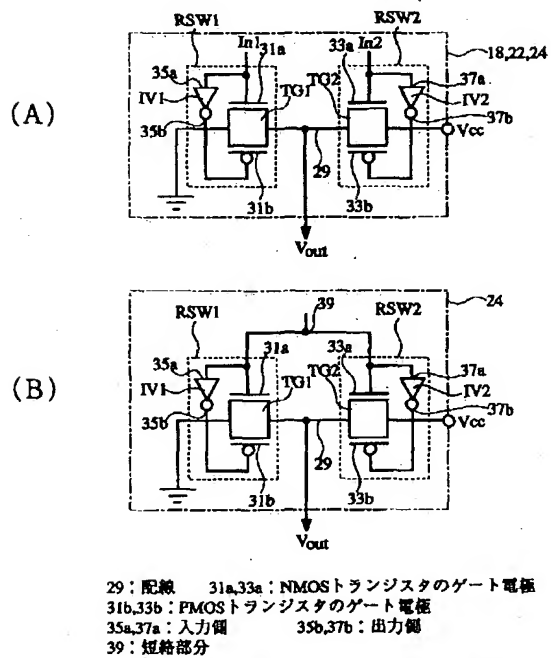
42: 第2選択トランジスタ

【図1】



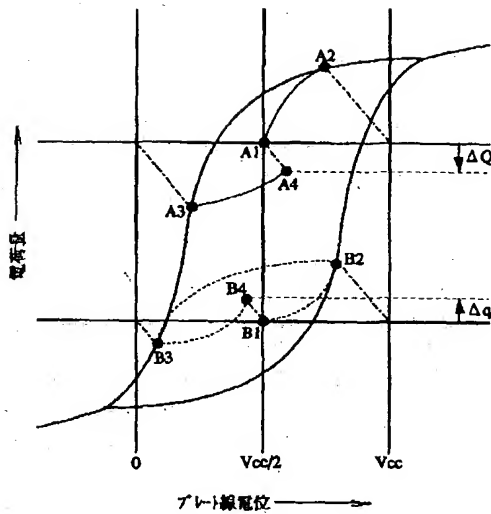
第1の実施の形態の強誘電体メモリ装置の回路図

【図2】



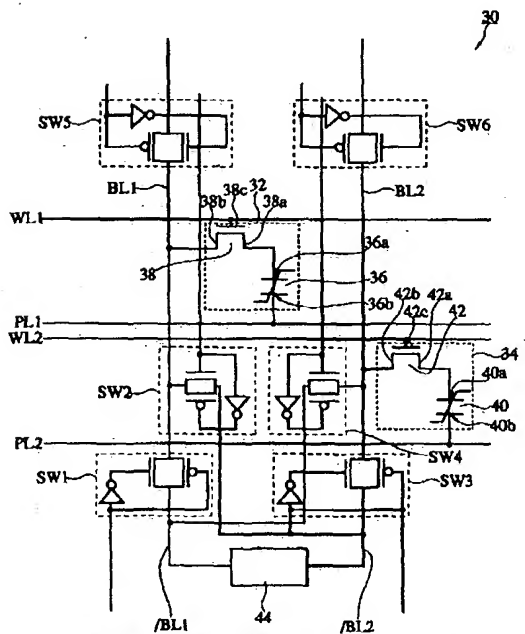
プレート線ドライバ、第1および第2プリチャージ回路の構成例

【図3】



強誘電体メモリ装置の分極状態の説明図

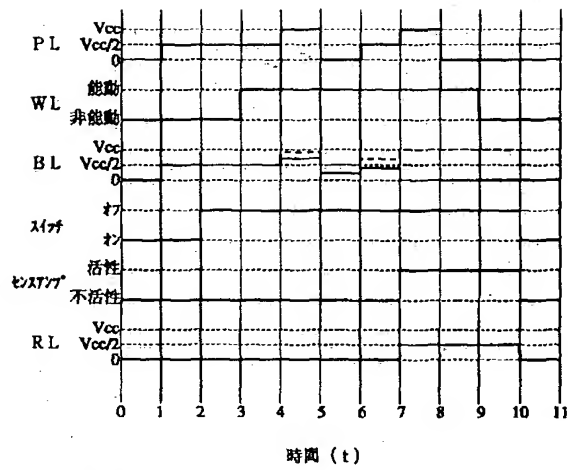
【図5】



- 30: 強誘電体メモリ装置 (装置) 32: 第1メモリセル
 34: 第2メモリセル 36: 第1強誘電体キャパシタ
 36a, 40a: 一方の電極 36b, 40b: 他方の電極
 38: 第1選択トランジスタ
 38a, 42a: 主電流路の一端 (第1主電極、ドレイン電極)
 38b, 42b: 主電流路の他端 (第2主電極、ソース電極)
 38c, 42c: 制御電極 (ゲート) 40: 第2強誘電体キャパシタ
 42: 第2選択トランジスタ 44: センスタンプ

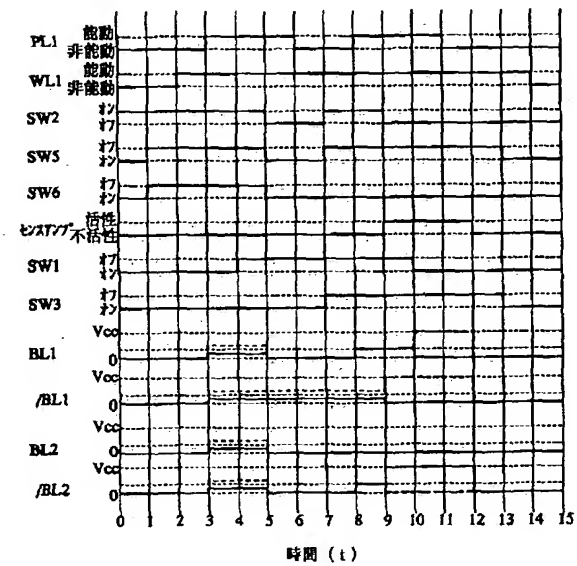
第2の実施の形態の強誘電体メモリ装置の回路図

【図4】



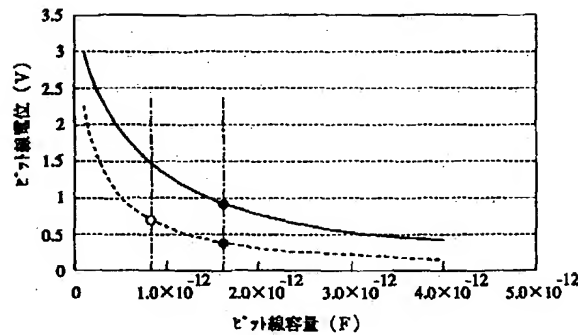
第1の実施の形態の装置からの読み出し動作のタイミング図

【図6】



第2の実施の形態の装置の読み出し動作に供するタイミング図

【図7】



ビット線容量に対するビット線電位の変化特性図

【手続補正書】

【提出日】平成14年2月20日(2002. 2. 20)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項7

【補正方法】変更

【補正内容】

【請求項7】 請求項5に記載の強誘電体メモリ装置の第1メモリセルに書き込まれたデータを読み出すにあたり、

予め、前記第1～第4スイッチを全てオンにしておくことにより、第1ビット線、第2ビット線、第1相補ビット線および第2相補ビット線を電氣的に接続させておき、該第1ビット線、第2ビット線、第1相補ビット線および第2相補ビット線を接地電位にした後、これらの線を電氣的に浮遊にさせる工程と、

前記第1ワード線を能動にして、前記第1選択トランジスタを導通状態にした後、前記第1プレート線を能動にして、前記第1および第2ビット線ならびに第1および第2相補ビット線に、前記第1メモリセルに書き込まれたデータに起因する第1電位を発生させる工程と、

前記第1スイッチをオフにして、前記第1ビット線および前記第1相補ビット線を絶縁状態にし、かつ前記第1相補ビット線を、前記第1電位の電位で保持して電氣的

に浮遊させる工程と、

前記第2スイッチをオフにして、前記第1ビット線および前記第2相補ビット線を絶縁状態にした後、前記第1ビット線と、前記第2ビット線および第2相補ビット線とを、それぞれ接地電位にする工程と、

前記第1プレート線を非能動にした後、前記第2スイッチをオンにし、前記第3スイッチをオフにすることにより、第1ビット線および第2相補ビット線を電氣的に接続して、第2ビット線および第2相補ビット線を絶縁状態にし、さらに当該第1ビット線および第2相補ビット線を接地電位で電氣的に浮遊させる工程と、

前記第1プレート線を再び能動にして、第1ビット線および第2相補ビット線に前記第1強誘電体キャパシタの非反転分極に起因する第2電位を発生させる工程と、

前記第2スイッチをオフにした後、前記センスアンプを活性化することによって、前記第1相補ビット線の第1電位と前記第2相補ビット線の第2電位とを比較する工程と、

前記第1スイッチをオンにして、前記第1ビット線および第1相補ビット線を電氣的に接続する工程と、

前記第1プレート線を非能動にする工程と、

前記センスアンプを不活性化する工程とを含んでいることを特徴とする強誘電体メモリ装置の動作方法。